

530, 888

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 4 月 22 日 (22.04.2004)

PCT

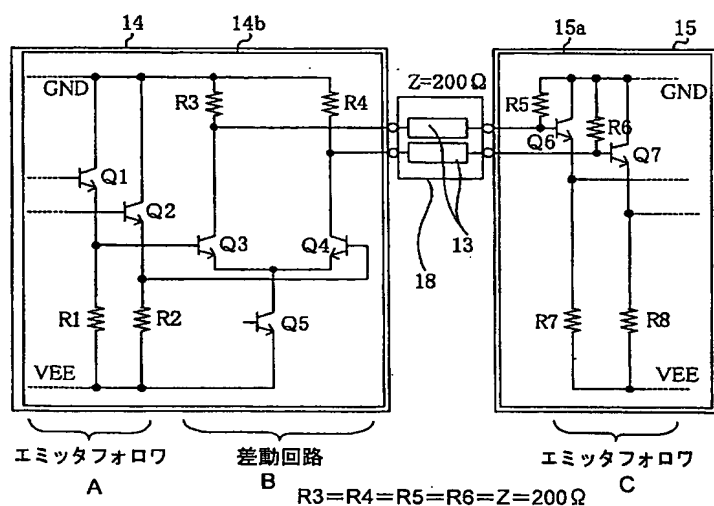
(10) 国際公開番号  
WO 2004/034575 A1

- (51) 国際特許分類: H03F 1/56, 3/19 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/012789 (75) 発明者/出願人 (米国についてのみ): 鈴木 康之  
(22) 国際出願日: 2003 年 10 月 6 日 (06.10.2003) (SUZUKI, Yasuyuki) [JP/JP]; 〒101-8001 東京都 港区  
(25) 国際出願の言語: 日本語 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).  
(26) 国際公開の言語: 日本語 (74) 代理人: 稲垣 清, 外 (INAGAKI, Kiyoshi et al.); 〒  
(30) 優先権データ: 101-0042 東京都 千代田区 神田東松下町 3 7 林道ビ  
特願 2002-296982 ル 5 階 扶桑特許事務所内 Tokyo (JP).  
2002 年 10 月 10 日 (10.10.2002) JP (81) 指定国 (国内): CN, US.  
特願 2003-273220 2003 年 7 月 11 日 (11.07.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 日本電気  
株式会社 (NEC CORPORATION) [JP/JP]; 〒101-8001  
東京都 港区 芝五丁目 7 番 1 号 Tokyo (JP).  
添付公開書類:  
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



A...EMITTER-FOLLOWER  
B...DIFFERENTIAL CIRCUIT  
C...EMITTER-FOLLOWER

(57) Abstract: A semiconductor device having a plurality of cascaded IC's (14,15,16), wherein the matching impedance between each signal transmission path (12) connected to a respective external signal transmission path and a respective one of IC's (14,16) located on the input and output sides is set to the same value of 50 ohms as the characteristic impedance of the external signal transmission path, while the matching impedance between each internal signal transmission path (13) and a respective one of IC's (14,16) located on the input and output sides and the inner IC (15) is set to a value of 200 ohms which is higher than the value of 50 ohms. The semiconductor device consumes less current and can perform a high-speed operation.

(57) 要約: 半導体装置は、継続接続された複数の IC 14, 15, 16 を有し、外部の信号伝送路に接続される信号伝送路 12 と、入出力側 IC 14, 16 との間の整合インピーダンスを、外部の信号伝送路の特性インピーダンスと同じ 50Ω とし、内

[続葉有]

WO 2004/034575 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 半導体装置

5 技術分野

本発明は、MCM (Multi Chip Module) 等の複数の半導体集積回路 (ICs) を含む半導体装置に関し、特に、外部回路とのインピーダンス整合がとられた高速で動作できる半導体装置に関するものである。

10 背景技術

近年、半導体装置における集積化がますます進んでいく一方、高速動作への要求もますます増えている。たとえば、光通信システムにおいては、伝送速度は著しく向上し、2.4 ギガビット/秒 (Gbps) および 10Gbps の伝送速度が実用化されており、伝送速度は今後ますます高くなることが予想される。

- 15 半導体装置の動作速度が高くなるにつれ、半導体集積回路内の配線や半導体集積回路と半導体集積回路をつなぐ伝送路において生ずる反射信号の存在が無視できなくなり、長い配線や長い伝送路を有する箇所ではインピーダンス整合の手法がとられている。

- 図 9 に従来の半導体装置のモジュールの構成を示す。半導体装置 21 には、外部回路に接続された入出力用のコネクタ 27 が設けられており、コネクタ 27 の端子は実装基板 28 上に形成された入出力伝送路 22 に接続されている。実装基板 28 上には、縦続接続された複数の IC チップが配置され、複数の IC チップは、入出力伝送路 22 に接続された入力側 IC チップ 24、出力側 IC チップ 26 および中間 IC チップ 25 を含む。隣接する各 2 つの IC チップ間は、実装基板 28 上に形成された 1 以上の内部伝送路 23 により接続されている。コネクタ 27 に

は同軸ケーブル（図示なし）が接続されており、半導体装置 21 と外部回路との信号の授受は同軸ケーブルを介して行われる。ここで、同軸線路における伝播について考えると、減衰定数  $\alpha$  は、次の式：

$$\alpha = \frac{1}{4\pi} \frac{R_s}{\sqrt{\frac{\mu_0}{\epsilon} \ln \frac{D}{d}}} = \left( \frac{1}{d} + \frac{1}{D} \right) \quad (1)$$

- 5    で与えられ、 $d$  は中心導体の外径、 $D$  は外側導体の内径、 $\epsilon$  は絶縁物の誘電率、 $R_s$  は表面抵抗、 $\mu_0$  は真空の透磁率である。

$\alpha$  が小さくなれば、同軸線路での減衰が小さくなる。式（1）において、 $D$  と  $d$  の比率と  $\alpha$  との関係でみると、 $D/d$  が 3.59 のときに  $\alpha$  が最小になる。一方、同軸ケーブルの特性インピーダンスは下式：

$$10 \quad Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{D}{d} \quad (2)$$

で与えられ、 $\epsilon_r$  は絶縁物の比誘電率である。

同軸ケーブルの場合、中心導体を支えるために樹脂系のポリエチレン（ $\epsilon_r=2.3$ ）を絶縁体として使用している。これを中心導体の支えとして使用した同軸ケーブルで比誘電率を入れて計算すると、減衰定数が最小となる  $D/d=3.59$

15    のところで、特性インピーダンスは、ほぼ  $50\Omega$  になる。そのため、外部インピーダンスは通常  $50\Omega$  であり、これとインピーダンス整合を取るために、入出力伝送路 22 の特性インピーダンスは  $50\Omega$  に設定され、これと共に内部伝送路 23 の特性インピーダンスも  $50\Omega$  に設定される。そして高速動作する IC（24～26）の入出力インピーダンスも  $50\Omega$  に設定されている。

- 20    従来の技術では、IC の入出力インピーダンスを  $50\Omega$  とするために、IC の入力回路に  $50\Omega$  の整合抵抗を接続するとともに出力回路に  $50\Omega$  の整合抵抗を接続している。そのため、IC の出力トランジスタは低い負荷抵抗において駆動されることになる。一方、この出力トランジスタの出力信号が入力される IC では、

この信号入力側 IC の正常動作を保証するために、その入力信号の振幅が規定されている。この規定を満たすべく、前段の IC の出力トランジスタは動作されることになるが、上述したようにこの出力トランジスタには低い負荷抵抗が接続されているため、上記の規定を満たすためには大電流で駆動される必要がある。

5   その結果以下の問題が起こる。

(1) 出力トランジスタを大電流で駆動するために IC (24~26) および半導体装置 (21) の消費電流が増大する。

(2) 出力トランジスタを大きく形成する必要があるため、IC の大型化を招く。

(3) 出力トランジスタを駆動するためのバッファ回路の段数が増えあるいはバッファ回路のサイズが大きくなり、IC の消費電流の増大、面積の増大は一層促進される。

10

#### 発明の開示

本発明の課題は、上述した従来技術の問題点を解決することであって、その  
15   目的は、動作速度が高くなっても信号の反射や損失が生じないように、IC チップの入力および出力と実装基板上の伝送路とがインピーダンス整合され、かつ IC チップの出力駆動電流を低減できるようにして、高速かつ低消費電力の半導体装置を提供できるようにすることである。

本発明は、その第 1 の視点において、入力段 IC 及び出力段 IC を少なくとも  
20   も含む複数の IC と、該複数の IC の各 2 つの間をインピーダンス整合して相互に接続する信号伝送路とを有する半導体装置において、前記入力段 IC の入力インピーダンス及び前記出力段 IC の出力インピーダンスが第 1 のインピーダンスと等しく、前記複数の IC のうち少なくとも 2 つのそれぞれは、対応する前記信号伝送路と、前記第 1 のインピーダンスよりも高い整合インピーダンスで、インピー  
25   ダンス整合していることを特徴とする半導体装置を提供する。

本発明は、その第2の視点において、入力段IC及び出力段ICを少なくとも含む複数のICと、該複数のICの隣接する各2つのIC間をインピダンス整合して相互に接続する信号伝送路とを有する半導体装置において、前記入力段ICの入カインピダンス及び前記出力段ICの出力インピダンスがそれぞれ  
5 第1のインピダンス及び第2のインピダンスであり、前記複数のICのうち少なくとも2つのそれぞれは、対応する前記信号伝送路と、前記第1のインピダンス及び第2のインピダンスのうち低いインピダンスよりも高い整合インピダンスで、インピダンス整合していることを特徴とする半導体装置を提供する。

本発明は、上記構成を採用することにより、以下の効果を享受することができる。  
10 ける。

(1) 半導体装置内部のICの出力回路の負荷インピーダンスが高くなるため、同じ出力電圧を得るために必要となる出力電流を低減することができる。また、その出力回路に必要なバッファの段数を低減することができ、そのICおよび半導体装置全体の消費電流を低減することができる。

15 (2) 半導体装置内部の出力回路の出力トランジスタの動作電流を低減できるため、出力トランジスタのサイズを縮小することができ、ICチップのチップサイズを縮小することができる。

(3) 半導体装置内部のICの出力回路のバッファの段数を低減することができるため、ICおよびそれが実装された半導体装置の動作速度を高速化することが  
20 ができる。

上記効果が得られる理由について、従来のバイポーラトランジスタを用いたICの具体例を示す図10を参照して以下に説明する。図10において、上段のA-A線部は下段のA-A線部に接続される。図10において、Q6、Q7、Q11~Q19、Q21~Q27、Q31、Q32、Q41~Q43はバイポーラトランジスタ、  
25 R7、R8、R11~R14、R21~R28、R31~R34は抵抗器、GNDはグランド線、VEEは

電源線である。

図 10 には、入力側 IC チップ 24 の出力回路 24b と中間 IC チップ 25 の入力回路 25a との接続部の状態が示される。前段の入力側 IC チップ 24 には ECL (Emitter Coupled Logic) 基本回路を用いたフリップフロップ回路 20 が搭載  
5 されており、その出力回路 24b が、後段に接続される中間 IC チップ 25 の入力回路 25a に、実装基板 28 上に形成された内部伝送路 23 を介して接続されている。フリップフロップ回路 20 には、フリップフロップ回路のコア部 (図ではスレーブ回路のみ記載) と、出力回路 24b をなす差動回路およびエミッタフォロ  
ワ回路からなる 2 段のバッファ回路で構成されており、後段に接続される IC  
10 チップの入力回路 25a は、エミッタフォロワ回路で構成されている。実装基板 28 上の内部伝送路 23 の特性インピーダンスは、上述したように外部インピーダンスと同じ  $50\Omega$  である。また、前段の出力回路 24b の最終段の負荷抵抗 R31、  
R32 には、実装基板 28 上の内部伝送路 23 とインピーダンス整合をとるために  $50\Omega$  に設定されており、後段の入力回路 25a には、実装基板 28 上の内部伝送路  
15 23 とインピーダンス整合をとるために  $50\Omega$  の抵抗 R33、R34 が接続されている。

上記のように従来の半導体装置では、IC チップの入・出力回路および実装基板上の伝送路が外部インピーダンスと同様な  $50\Omega$  で整合されており、動作速度が高くなっても、信号の反射や損失が生じないように設計されている。図 10  
において、前段のフリップフロップ回路 20 の出力負荷は、終段の負荷抵抗 R31  
20 (R32) の  $50\Omega$  と後段の入力回路 25a の整合抵抗 R33 (R34) の  $50\Omega$  で、それらの抵抗がトランジスタ Q41 (Q42) に対し並列接続されていることにより  $25\Omega$  となる。ここで、前段のフリップフロップ回路 20 の出力駆動電流は、要求される出力振幅が  $0.5\text{ Vp-p}$  であるとする  $20\text{ mA}$  の電流が必要となる。そのため、前段の出力回路 24b の最終段のトランジスタ Q41~Q43 は、 $20\text{ mA}$  の電流を駆動で  
25 きる大きなサイズである必要があり、またこの大きなサイズのトランジスタを

- 高速で動作させるために２段のバッファ回路も必要となり、さらに出力トランジスタ（Q41、Q42）を駆動するトランジスタQ31、Q32 も大きなサイズとする必要がある。図１０に示す前段のフリップフロップ回路２０は、フリップフロップのコア部は、 $2\mu\text{m}\times 5\mu\text{m}$ のエミッタサイズのトランジスタを用い５mA以下の駆動電流で構成されるが、出力部では２０mAが必要なため出力回路の最終段には $2\mu\text{m}\times 20\mu\text{m}$ のエミッタサイズのトランジスタ（Q41～Q43）が必要となる。また、出力回路の最終段の $2\mu\text{m}\times 20\mu\text{m}$ エミッタサイズのトランジスタを駆動するため、バッファ回路として差動回路とエミッタフォロウ回路からなる２段のバッファ回路が必要となり、また大エミッタサイズのトランジスタ（Q41、Q42）を駆動するトランジスタ（Q31、Q32）のエミッタサイズも $2\mu\text{m}\times 10\mu\text{m}$ と大きくする必要がある。そのため、消費電流の増加ばかりか、時には動作速度の低下も引き起こす。さらに、実装基板上に複数のICチップからなる半導体装置やMCMを形成する場合、各IC出力回路には２０mA以上の消費電流が必要であり、全体では非常に高い消費電流となる。
- 図９に示す半導体装置において、入出力伝送路２２の特性インピーダンスは $50\Omega$ とする必要があり、そのため入力側ICチップ２４の入力回路および出力側ICチップ２６の出力回路の整合抵抗は $50\Omega$ となされるが、同軸ケーブルと接続されていない内部伝送路２３の特性インピーダンスは $50\Omega$ である必要はない。同軸ケーブルは一般に長大な伝送路に用いられるため、減衰を小さく抑える必要性からその特性インピーダンスが $50\Omega$ に設定されているが短い伝送路である内部伝送路２３では減衰定数を重要視する必要がないからである。いま、入出力伝送路２２の特性インピーダンスを $Z_{ex}$ 、内部伝送路２３の特性インピーダンスを $Z_{int}$ として、 $Z_{int}=\alpha Z_{ex}$ （但し、 $\alpha>1$ ）が成立するように内部伝送路２３の特性インピーダンスを設定したとすると、例えば入力側ICチップ２４の出力回路と中間ICチップ２５の入力回路の整合インピーダンスはそれ



ぞれ $\alpha Z_{ex}$ となり、したがって入力側 IC チップ 24 の出力トランジスタの負荷インピーダンスは $\alpha Z_{ex}/2$ となる。ここで、次段の中間 IC チップ 25 を駆動するために必要な入力信号振幅を $V_{in}$ とすると、従来例の場合に必要な出力トランジスタの電流 $I$ は、

5  $I = V_{in}/2\alpha Z_{ex}$

であるのに対し、本発明の半導体装置の場合には、必要となる出力トランジスタの電流 $I$ は、

$$I = V_{in}/2Z_{int} = V_{in}/2\alpha Z_{ex}$$

10 となって、必要な電流は $1/\alpha$ で済むことになる。よって、出力トランジスタのサイズ縮小が可能となると共に出力トランジスタを駆動するバッファ回路の段数削減、サイズ縮小が可能となる。なお、 $\alpha > 1$ であれば、上述した本発明の効果を享受することができるが、より好ましい範囲は、 $2 < \alpha < 10$ である。2以下では十分な本発明の効果が得られなくなるからであり、10以上となると損失が増えたり信号遅延が増大するなど他の弊害が無視できなくなるからである。

15

#### 図面の簡単な説明

図 1 A は本発明の半導体装置を例示するブロック図、図 1 B は、従来例の半導体装置を例示するブロック図。

20 図 2 は、非伝送路配線を有する本発明の半導体装置の概略の構成を例示するブロック図。

図 3 は、本発明の第 1 の実施例に係る半導体装置の斜視図。

図 4 は、本発明の第 1 の実施例に係る半導体装置の回路図。

図 5 は、本発明の第 2 の実施例に係る半導体装置の回路図。

図 6 は、本発明の第 3 の実施例に係る半導体装置の回路図。

25 図 7 は、本発明の第 4 の実施例に係る半導体装置のブロック図。

図 8 は、本発明の第 5 の実施例に係る半導体装置のブロック図。

図 9 は、従来の半導体装置の斜視図。

図 10 は、従来の半導体装置の回路図。

## 5 発明を実施するための最良の形態

図 1 A は、本発明に係る半導体装置の概略の構成をブロック図で例示する。

同図に示すように、半導体装置 100 には、入力段の IC 104、出力段の IC 106、及び、1 以上の中間段の IC 105 を含む複数の IC が配設され、これらは信号伝送路で縦続接続されている。信号伝送路は、外部伝送路 101 に接続される入出力伝送路 102 と、各 2 つの隣接する IC 間を接続する 1 以上の内部伝送路 103 とを含む。ここで、入出力伝送路 102 の特性インピーダンス  $Z$  は、外部伝送路 101 の特性インピーダンス  $Z$  ( $Z=50\Omega$ ) と整合させるために  $50\Omega$  に設定されているが、内部伝送路 103 の特性インピーダンス  $Z$  は  $50\Omega$  より高く (例えば  $Z=200\Omega$ ) 設定されている。外部伝送路 101 との内部伝送路 103 との間には入力側 IC 104 または出力側 IC 106 が配置され、二つの内部伝送路 103 間には中間 IC 105 が配置される。そして、各半導体 IC の入・出力回路のインピーダンスはその入・出力回路が接続される伝送路の特性インピーダンスと整合するように設定される。すなわち、入力側 IC 104 の入力回路 104a の入力インピーダンスは  $50\Omega$  に、その出力回路 104b の出力インピーダンスは  $50\Omega$  より高く設定され、中間 IC 105 の入力回路 105a の入力インピーダンスと出力回路 105b の出力インピーダンスは  $50\Omega$  より高く設定され、出力側 IC 106 の入力回路 106a の入力インピーダンスは  $50\Omega$  より高く、その出力回路 106b の出力インピーダンスは  $50\Omega$  に設定されている。

半導体装置 100 は、MCM などのモジュール構成をとるものであってよい。各伝送路が形成され、各半導体 IC が搭載される実装基板は、半導体基板、セラ

ミックスなどからなる無機基板、ガラスエポキシ製などの樹脂基板等のいずれであつてもよい。また、絶縁被覆金属基板であつてもよい。基板が半導体基板である場合には、その基板内にトランジスタなどの素子が形成されていてもよい。各伝送路はパッケージに直接形成され、各半導体集積回路はパッケージに  
5 直接搭載される形態であつてもよい(基板がパッケージを兼用していてもよい)。

図1に示される半導体装置では、伝送路以外の配線は示されていないが、実際には実装基板上には電源線などの非伝送路配線が形成されている。すなわち、図2に示されるように、IC 104~106の搭載された実装基板 100a 上には入出力伝送路 102、内部伝送路 103 以外に、電源線、接地線、必要に応じて制御線  
10 などを含む非伝送路配線 107 が形成されている。而して、本発明において問題としているのは専ら伝送路であつてそれ以外の配線については本発明においては問題としていない。

また、入力側 IC 104、中間 IC 105 の出力信号は分岐された伝送路を介して複数の IC に入力されるように構成されていてもよい。また、基板上にはキャ  
15 パシタやインダクタ等の受動素子や薄膜能動素子が形成されていてもよい。また、基板上には半導体集積回路以外の個別の能動素子や受動素子が搭載されていてもよい。IC 104~106 は、ベアチップの IC であつてもまたパッケージングされた IC であつてもよく、さらには複数の IC チップが搭載された MCM であつてもよい。

20 すべての内部伝送路 103 の特性インピーダンスが一定である必要はなく、例えば一部の内部伝送路 103 の特性インピーダンスが  $100\Omega$  で他の内部伝送路 103 の特性インピーダンスが  $200\Omega$  であつてもよい。また、すべての内部伝送路 103 の特性インピーダンスを入出力伝送路のそれより大きくする必要はなく、一部の内部伝送路 103 の特性インピーダンスのみを  $50\Omega$  以上としてもよい。少なく  
25 とも一部の内部伝送路 103 の特性インピーダンスを入出力伝送路の特性インピ

ーダンスより大きくすることにより本発明の効果を得ることができる。しかし、最も効果が大きいのはすべての内部伝送路 103 の特性インピーダンスが入出力伝送路の特性インピーダンスより大きい場合である。そして、設計工数や製作の容易性の観点からすべての内部伝送路 103 の特性インピーダンスを同一値と  
5 することが最も望ましい。

外部伝送路 101 としては、信号伝送品質の確保、接続の容易性、設計工数の低減の面からみて同軸ケーブルを用いるのが最も好ましい。

本発明に係る半導体装置の取り扱う信号の伝送速度や周波数は特に限定されないが、反射を抑えるためにインピーダンス整合の問題が重大になる 1 Gbps 以上の伝送速度、又は、800MHz 以上の周波数の場合に、本発明は特に有利に適用  
10 される。特に、2.4Gbps 以上の伝送速度又は 1GHz 以上の周波数では、インピーダンス整合の問題がより深刻になるため、本発明の効果はより顕著となる。

上記半導体装置 100 との対比のために、従来の半導体装置を図 1 B に示す。図 1 B において、図 1 A の半導体装置と対応する部分には下 2 桁が共通する参照符号が付せられている。重複する説明は省略するが、従来例においては、各伝送路の特性インピーダンスはすべて外部伝送路の特性インピーダンスの 50  $\Omega$  に設定され、各 IC の入・出力回路の入・出力インピーダンスはすべて 50  $\Omega$  に設定されている。

20

### 実施例 1

図 3 は、本発明の第 1 の実施例に係る半導体装置の構成を示す斜視図である。図 3 において、図 9 に示した従来例の部分と対応する部分には下 1 桁が共通する参照符号が付せられており、重複する説明は省略する。本実施例においては、  
25 コネクタ 17 を介して外部回路に接続される入出力伝送路 12 の特性インピーダ

ンスは外部インピーダンスと同じ  $50\Omega$  に設計されているが、IC チップ間を接続する内部伝送路 13 の特性インピーダンスは外部インピーダンスより高い  $200\Omega$  に設計されている。そして、入力側 IC チップ 14 の入力回路の入カインピーダンスおよび出力側 IC チップ 16 の出力回路の出カインピーダンスは、入出力伝送路 12 の特性インピーダンスに整合する  $50\Omega$  に設計されているが、入力側 IC チップ 14 の出カインピーダンスと出力側 IC チップ 16 の入カインピーダンスおよび中間 IC チップ 15 の入・出カインピーダンスは、外部インピーダンスより高い  $200\Omega$  に設定されている。すなわち、半導体装置 11 全体の入力回路を内蔵した入力側 IC チップ 14 の入カインピーダンスは  $50\Omega$  で、その出カインピーダンスは  $200\Omega$  となり、半導体装置全体の出力回路を内蔵した出力側 IC チップ 16 の入カインピーダンスは  $200\Omega$  で、出カインピーダンスは  $50\Omega$  となる。

次に、図 4 を参照して、半導体装置内の IC チップ間の接続状態について、入力側 IC チップ 14 の出力回路 14b と中間 IC チップ 15 の入力回路 15a との接続部を例に挙げ、さらにバイポーラトランジスタを用いた IC を例に挙げて説明する。図 4 において、 $Q1\sim Q7$  はバイポーラトランジスタ、 $R1\sim R8$  は抵抗器、GND はグランド線、VEE は電源線である。入力側 IC チップ 14 の出力回路 14b は、エミッタフォロア回路と差動回路から構成されており、最終段の負荷抵抗  $R3$ 、 $R4$  は  $200\Omega$  に設定されている。後段に接続される中間 IC チップ 15 の入力回路 15a は、エミッタフォロワ回路で構成されており、その入力部には  $200\Omega$  の整合抵抗  $R5$ 、 $R6$  が負荷されている。前段の入力側 IC チップ 14 の出力回路 14b と後段の中間 IC チップ 15 の入力回路 15a は、実装基板 18 上に形成された  $200\Omega$  の特性インピーダンスを有する内部伝送路 13 を介して接続され、インピーダンス整合されている。前段の出力回路 14b の出力負荷は、前段の負荷抵抗  $R3$ 、 $R4$  の  $200\Omega$  と後段の入力回路 15a の整合抵抗  $R5$ 、 $R6$  の  $200\Omega$  で、 $100\Omega$  となる。前段の出力回路 14b に必要な出力駆動電流は、出力振幅を  $0.5\text{ Vp-p}$  とす

ると 5 mA の電流となり、消費電流の低減が可能となる。

さらに、実装基板上に複数の IC チップからなる半導体装置や MCM を形成する場合には、各 IC 出力回路には従来 20 mA の消費電流が必要であったのが 1/5 に低減でき、全体では非常に低い消費電流となる。

- 5      なお、本実施例では、入力整合抵抗 R5、R6 がトランジスタ Q6、Q7 のベース・グランド線間に接続されているが、入力整合抵抗は回路方式によってはベース・電源線間に接続されることもありうる。

## 実施例 2

- 図 5 は、本発明の第 2 の実施例の半導体装置の部分回路構成を示す。第 2 の
- 10   実施例の半導体装置の全体の構成は図 3 に示した第 2 の実施例のそれと同様であって、図 5 はその入力側 IC チップ 14 と中間 IC チップ 15 との接続部の状態を示す。図 5 において、Q1～Q7、Q11～Q19 はバイポーラトランジスタ、R1～R8、R11～R14 は抵抗器、GND はグランド線、VEE は電源線である。前段の入力側 IC チップ 14 には ECL 基本回路を用いたフリップフロップ回路 10 が搭載さ
- 15   れておりその出力回路 14b と、後段の中間 IC チップ 15 の入力回路 15a が、実装基板 18 上に形成された内部伝送路 13 を介して接続されている。フリップフロップ回路 10 は、フリップフロップ回路のコア部 (図ではスレーブ回路のみ記載) と、エミッタフォロア回路および差動回路からなる 1 段のバッファ回路で構成されており、最終段の負荷抵抗 R3、R4 は 200  $\Omega$  に設定されている。後段に接
- 20   続される中間 IC チップ 15 の入力回路 15a は、エミッタフォロア回路で構成されており、その入力部には 200  $\Omega$  の整合抵抗 R5、R6 が負荷されている。前段のフリップフロップ回路 10 の出力回路 14b と後段の中間 IC チップ 15 の入力回路 15a は、実装基板 18 上に形成された 200  $\Omega$  の特性インピーダンスを有する内部伝送路 13 を介して接続され、インピーダンス整合されている。前段のフリップ
- 25   フロップ回路 10 の出力負荷は、終段の負荷抵抗 R3、R4 の 200  $\Omega$  と後段の入力

回路 15a の整合抵抗 R5、R6 の  $200\Omega$  で、 $100\Omega$  となる。前段のフリップフロップ回路 10 の出力回路に必要な出力駆動電流は、出力振幅を  $0.5 V_{p-p}$  とすると  $5\text{ mA}$  の電流となり、消費電流の低減が可能となる。従来では  $20\text{ mA}$  の出力駆動電流が必要であったため、出力回路の最終段は、 $2\mu\text{m} \times 20\mu\text{m}$  のエミッタサイズ  
5      5 の大きいトランジスタで構成していたが、本発明では  $5\text{ mA}$  の出力駆動電流の低下により、フリップフロップのコア部に用いるトランジスタと同じ  $2\mu\text{m} \times 5\mu\text{m}$  のエミッタサイズのトランジスタで構成できる。そのため、IC の構成上、従来ではサイズが大きいトランジスタの最終段を駆動する必要があり、差動回路やエミッタフォロワ回路からなる 2 段のバッファ回路が必要であった。しか  
10      し、本発明では、最終段のトランジスタサイズが小さいため 1 段のバッファ回路でよく、IC 全体の消費電力の低減やバッファ回路を減らすことにより IC をより高速に動作させることが可能となる。

### 実施例 3

図 6 は、本発明の第 3 の実施例の半導体装置の部分回路構成を示す。第 3 の  
15      実施例の半導体装置の全体の構成は図 3 に示した第 2 の実施例のそれと同様であって、図 6 はその入力側 IC チップ 14 と中間 IC チップ 15 との接続部の状態を示す。図 6 において、T1～T7 は電界効果トランジスタ、R1～R8 は抵抗器、VCC は電源線、GND はグランド線である。入力側 IC チップ 14 の出力回路 14b は、ソースフォロア回路と差動回路から構成されており、最終段の負荷抵抗 R3、  
20      R4 は  $200\Omega$  に設定されている。後段に接続される中間 IC チップ 15 の入力回路 15a は、ソースフォロワ回路で構成されており、その入力部には  $200\Omega$  の整合抵抗 R5、R6 が負荷されている。前段の入力側 IC チップ 14 の出力回路 14b と後段の中間 IC チップ 15 の入力回路 15a は、実装基板 18 上に形成された  $200\Omega$  の特性インピーダンスを有する内部伝送路 13 を介して接続され、インピーダンス整  
25      合されている。前段の出力回路 14b の出力負荷は、前段の負荷抵抗 R3、R4 の

200Ωと後段の入力回路 15a の整合抵抗 R5、R6 の 200Ωで、100Ωとなる。

半導体集積回路が電界効果トランジスタによって構成された場合にも出力トランジスタの出力電流の低減とサイズの縮小が実現できる。

電界効果トランジスタ T1～T7 は Si 基板上に形成された MOS 型トランジスタであっても GaAs 基板上に形成された MES 型トランジスタであってもよい。

また、本実施例では、入力整合抵抗 R5、R6 がトランジスタ T6、T7 のソース電源線間に接続されているが、入力整合抵抗は回路方式によってはソースグランド線間に接続されることもありうる。

#### 実施例 4

図 7 は、本発明の第 4 の実施例の半導体装置の構成を示す。第 4 の実施例は、携帯電話や無線 LAN の端末機に応用した場合である。PDC (personal digital cellular) や PHS (personal handyphone system) などの携帯電話や Bluetooth などの無線 LAN の端末機は、図 7 に示すような送信回路と受信回路を有する半導体装置 300 により主に構成されている。また、アンテナスイッチ 308、低雑音

15 アンプ 310、パワーアンプ 319、ミキサ 311、318 などを有し、高周波信号を処理する RF 部 300A と、可変利得アンプ 312、直交復調器 313、A/D 変換器 314、D/A 変換器 315、直交変調器 316、ドライバアンプ 317 などを有する IF・ベースバンド部 300B から構成されている。PDC 携帯電話では RF 部は 800 MHz の信号を処理し、ミキサ 311 で 100～200 MHz に変換される。Bluetooth では、RF 部は

20 2.4 GHz の信号を処理し、ミキサ 311 で 3 MHz に変換される。RF 部 300A の受信回路では、アンテナ 301 を介して受信された RF 受信信号はアンテナスイッチ 308、帯域通過フィルタ 309、低雑音アンプ 310 を介してミキサ 311 に印加され、

25 局部発振器からの局部発信信号と混合されて IF 受信信号に変換される。RF 部 300A の送信回路では、IF 送信信号はミキサ 318 により局部発振器 321 からの局部発振信号と混合され RF 送信信号に変換される。この RF 送信信号はパワーア



ンプ 319、帯域通過フィルタ 320、アンテナスイッチ 308、アンテナ 301 を介して送信される。このような RF 部 300A の IC の入出力は、従来プリント基板上に形成された  $50\Omega$  のインピーダンスの伝送路を介して行われていたが、本実施例では、受信側では、アンテナスイッチ 308ー帯域通過フィルタ 309 間の伝送路

5 302、帯域通過フィルタ 309ー低雑音アンプ 310 間の伝送路 303、低雑音アンプ 310ーミキサ 311 間の伝送路 304 が  $50\Omega$  より高い (例えば  $100\Omega$ ) インピーダンスに設定され、送信側では、ミキサ 318ーパワーアンプ 319 間の伝送路 305 が  $50\Omega$  より高い (例えば  $100\Omega$ ) インピーダンスに、パワーアンプ 319ー帯域通過フィルタ 320 間の伝送路 306、帯域通過フィルタ 320ーアンテナスイッチ 308 間の伝

10 送路 307 が  $50\Omega$  に設定されている。そのため、受信側では、アンテナスイッチ 308 の受信側出力、帯域通過フィルタ 309 の入出力、低雑音アンプ 310 の入出力、ミキサ 311 の入力、送信側ではミキサ 318 の出力とパワーアンプ 319 の入力が  $50\Omega$  より高い (例えば  $100\Omega$ ) インピーダンスに整合されている。また、送信側では、パワーアンプ 319 の出力、帯域通過フィルタ 320 の入出力、アン

15 テナスイッチ 308 の送信側入力は  $50\Omega$  に整合されている。

以上の様に、IC の入出力を  $50\Omega$  より高いインピーダンスに設定して整合させることにより、消費電流の低下が可能となる。

以上に示した実施例ではアンテナスイッチの出力、低雑音アンプの入出力、ミキサの入力などに  $50\Omega$  より高いインピーダンスと整合させた場合について

20 説明したが、他の IC の入力や出力、例えば帯域通過フィルタ 320 の入出力を  $50\Omega$  より高いインピーダンスにおいて整合させることも可能である。

#### 実施例 5

図 8 は、本発明の第 5 の実施例の半導体装置の構成を示す。第 5 の実施例の半導体装置 400 では、同一の実装基板上に MCM400A と 400B b とが搭載され、そ

25 れら二つの MCM はその実装基板上に形成された MCM 間伝送路 402C により接続さ

- れている。外部伝送路 401 を介して信号が入力される MCM400A には、入力側 I C 404A、中間 I C 405、出力側 I C 406A が搭載され、入出力伝送路 402A、402B、内部伝送路 403 が形成されている。また、MCM400B には、入力側 I C 404B、中間 I C 405、出力側 I C 406B が搭載され、入出力伝送路 402A、402B、内部伝送
- 5 路 403 が形成されており、外部伝送路 401 を介して信号を出力する。ここで、入出力伝送路 402A の特性インピーダンスは、外部伝送路の特性インピーダンスに等しい  $50\Omega$  に設定されているが、入出力伝送路 402B、内部伝送路 403 および MCM 間伝送路 402C の特性インピーダンスは  $200\Omega$  に設定されている。そのため、入力側 I C 404A の入力回路 404Aa と出力側 I C 406B の出力回路 406Bb は  $50\Omega$
- 10 にてインピーダンス整合されているが、入力側 I C 404A の出力回路 404Ab、中間 I C 405 の入力回路 405a と出力回路 405b、出力側 I C 406A の入力回路 406Aa と出力回路 406Ab、入力側 I C 404B の入力回路 404Ba と出力回路 404Bb および出力側 I C 406B の入力回路 406Ba はすべて  $200\Omega$  にインピーダンス整合されている。
- 15 ここで、MCM400A、MCM400B に注目すると、これらの半導体装置では、入出力伝送路 402A と 402B とでは異なる特性インピーダンスに設定されている。而して、半導体装置 400 が本発明に包含されるのみならず、MCM400A、MCM400B と表される半導体装置自身も本発明に含まれる。換言すると、入力側の伝送路と出力側の伝送路とが異なる特性インピーダンスに設定されている半導体装置
- 20 も本発明に含まれる。本発明によれば、入力側の伝送路と出力側の伝送路とが異なる特性インピーダンスに設定されている場合、少なくとも一つの内部伝送路は、低い方の入出力伝送路の特性インピーダンスより高い特性インピーダンスに設定される。

- 内部 I C を接続する信号伝送路は、複数の群毎に異なる特性インピーダンスを
- 25 持つこともでき、その場合には、各 I C の入力又は出力インピーダンスは、対応

する信号伝送路の特性インピダンスに整合するように選択される。

以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば前段 IC の出力部にフリップフロップ回路を用いる例につ

5 いて説明したが、アンプなどの他の回路においても同様に本発明を適用することができる。

## 請求の範囲

1. 入力段 I C 及び出力段 I C を少なくとも含む複数の I C と、該複数の I C の各 2 つの間をインピダンス整合して相互に接続する信号伝送路とを有する  
5 半導体装置において、

前記入力段 I C の入力インピダンス及び前記出力段 I C の出力インピダンスが第 1 のインピダンスと等しく、

前記複数の I C のうち少なくとも 2 つのそれぞれは、対応する前記信号伝送路と、前記第 1 のインピダンスよりも高い整合インピダンスで、インピダンス  
10 整合していることを特徴とする半導体装置。

2. 入力段 I C 及び出力段 I C を少なくとも含む複数の I C と、該複数の I C の隣接する各 2 つの I C 間をインピダンス整合して相互に接続する信号伝送路とを有する半導体装置において、

15 前記入力段 I C の入力インピダンス及び前記出力段 I C の出力インピダンスがそれぞれ第 1 のインピダンス及び第 2 のインピダンスであり、

前記複数の I C のうち少なくとも 2 つのそれぞれは、対応する前記信号伝送路と、前記第 1 のインピダンス及び第 2 のインピダンスのうち低いインピダンスよりも高い整合インピダンスで、インピダンス整合していることを特徴とする  
20 半導体装置。

3. 前記複数の I C が共通の実装基板上に実装されている、請求項 1 又は 2 に記載の半導体装置。

25 4. 前記複数の I C は、それぞれが共通の実装基板上に実装されている複数の

I C 群を有する、請求項 1 又は 2 に記載の半導体装置。

5. 前記整合インピダンスが 2 つの前記信号伝送路の間で異なる、請求項 1 又は 2 に記載の半導体装置。

5

6. 前記複数の I C の少なくとも 1 つは、入力回路及び／又は出力回路に前記インピダンス整合のための抵抗素子を有する、請求項 1 ～ 5 の何れかに記載の半導体装置。

10 7. 前記出力回路が差動回路である、請求項 6 に記載の半導体装置。

8. 前記入力回路がエミッタフォロア回路であり、前記抵抗素子がベースとグラウンド間、又は、ベースと電源間に接続される、請求項 6 又は 7 に記載の半導体装置。

15

9. 前記入力回路がソースフォロア回路であり、前記抵抗素子がゲートとグラウンド間、又は、ゲートと電源間に接続される、請求項 6 又は 7 に記載の半導体装置。

20 10. 前記 I C の少なくとも 1 つが E C L 回路を含む、請求項 1 ～ 9 の何れかに記載の半導体装置。

11. 前記 I C の少なくとも 1 つがペアチップである、請求項 1 ～ 10 の何れかに記載の半導体装置。

25

12. 前記入力段 I C の入力回路及び前記出力段 I C の出力回路の少なくとも一方は、同軸ケーブルで外部回路に接続される、1～11の何れかーに記載の半導体装置。

5 13. 入力段 I C に入力される信号が、1 G b p s 以上の伝送速度又は 8 0 0 M H z 以上の周波数を有する、請求項 1～12の何れかーに記載の半導体装置。

14. 前記整合インピダンスが、前記第 1 のインピダンスの 1 0 倍以下である、  
10 請求項 1～13の何れかーにき際の半導体装置。

15. 前記整合インピダンスが、前記第 1 のインピダンスの 2 倍以上である、請求項 1～14の何れかーに記載の半導体装置。



2/9

FIG. 2

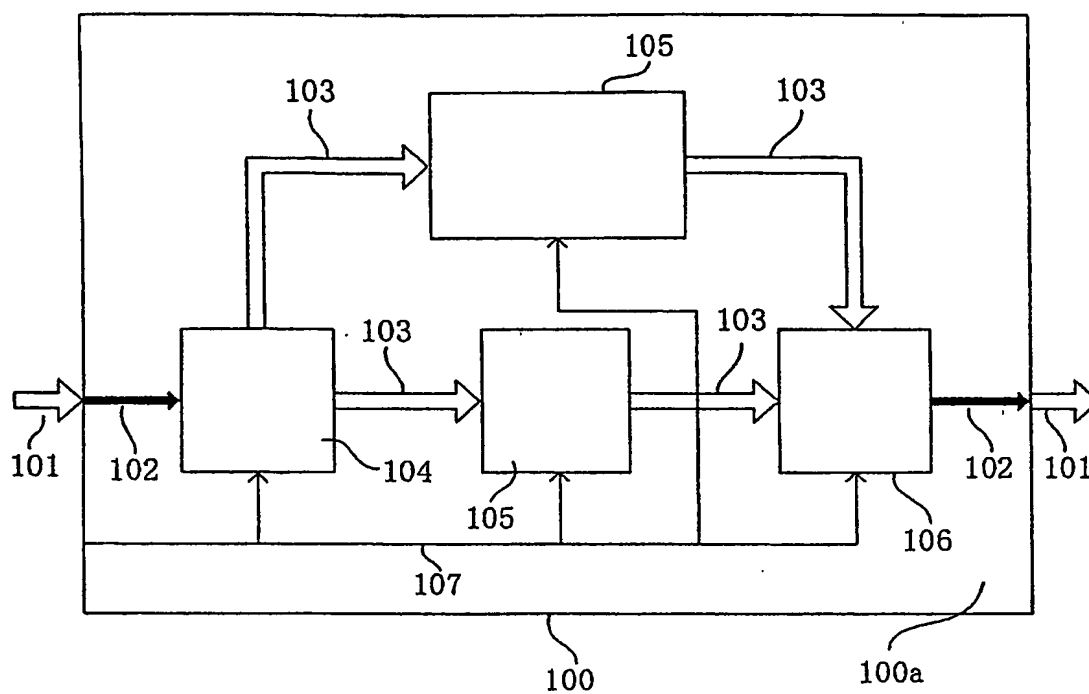


FIG. 3

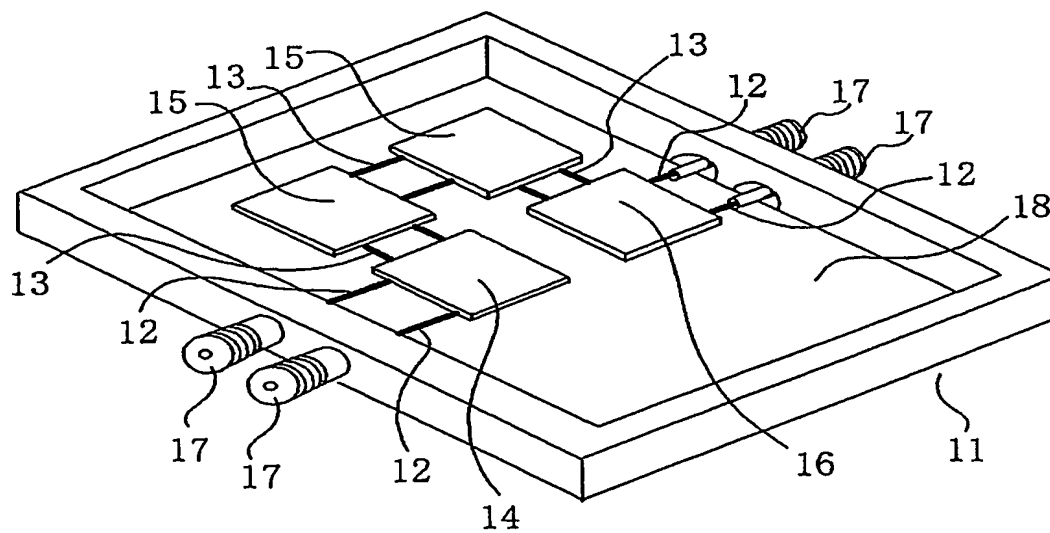




FIG. 4

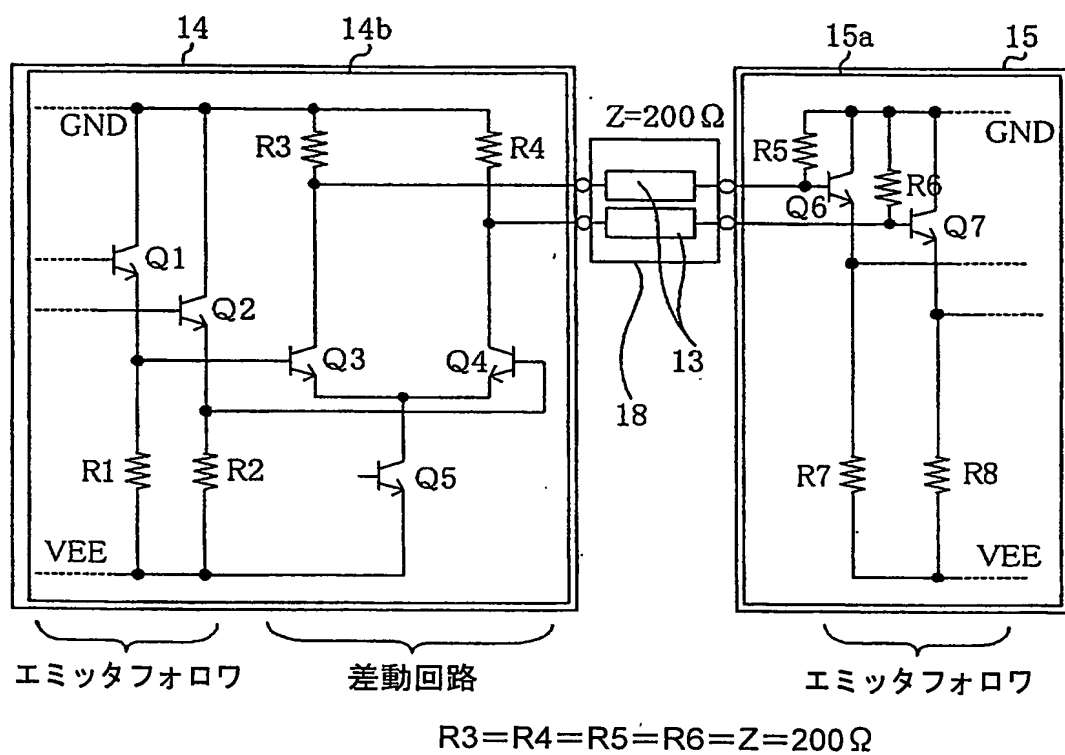


FIG. 5

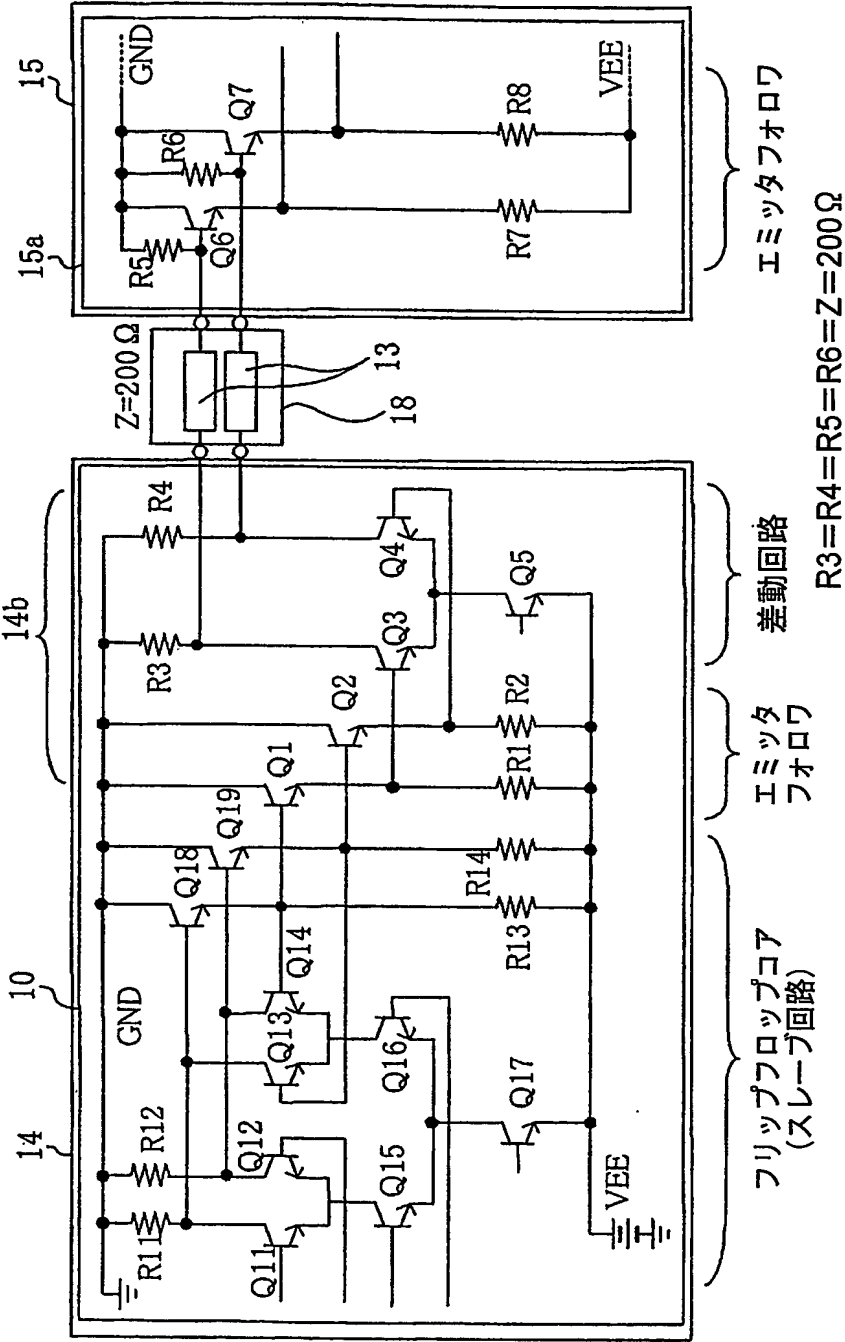


FIG. 6

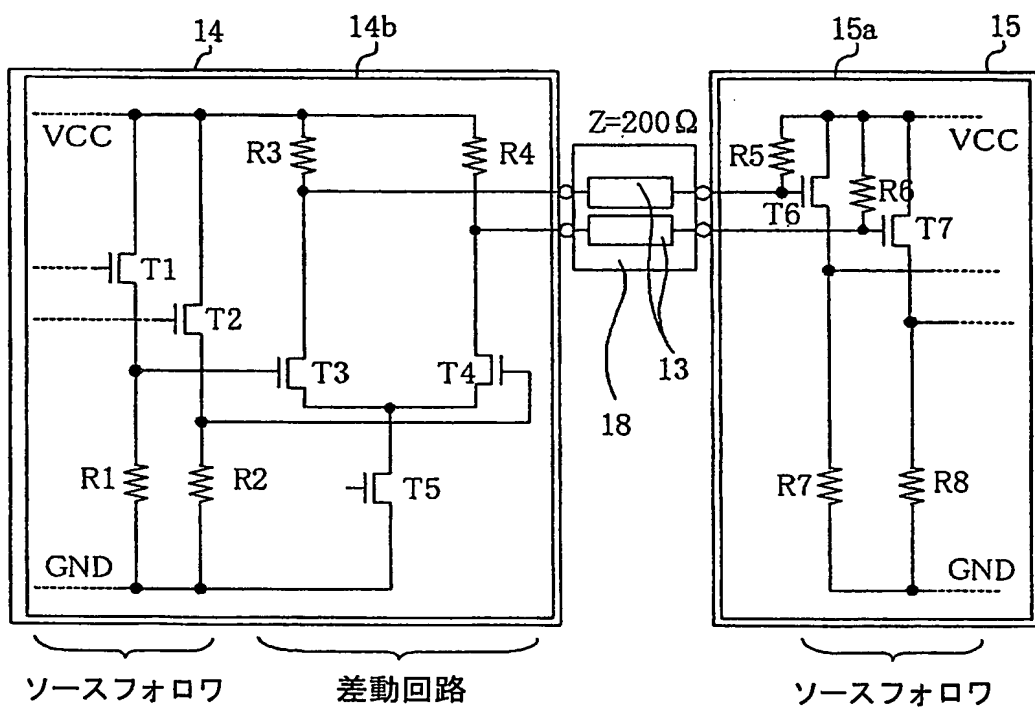


FIG. 7

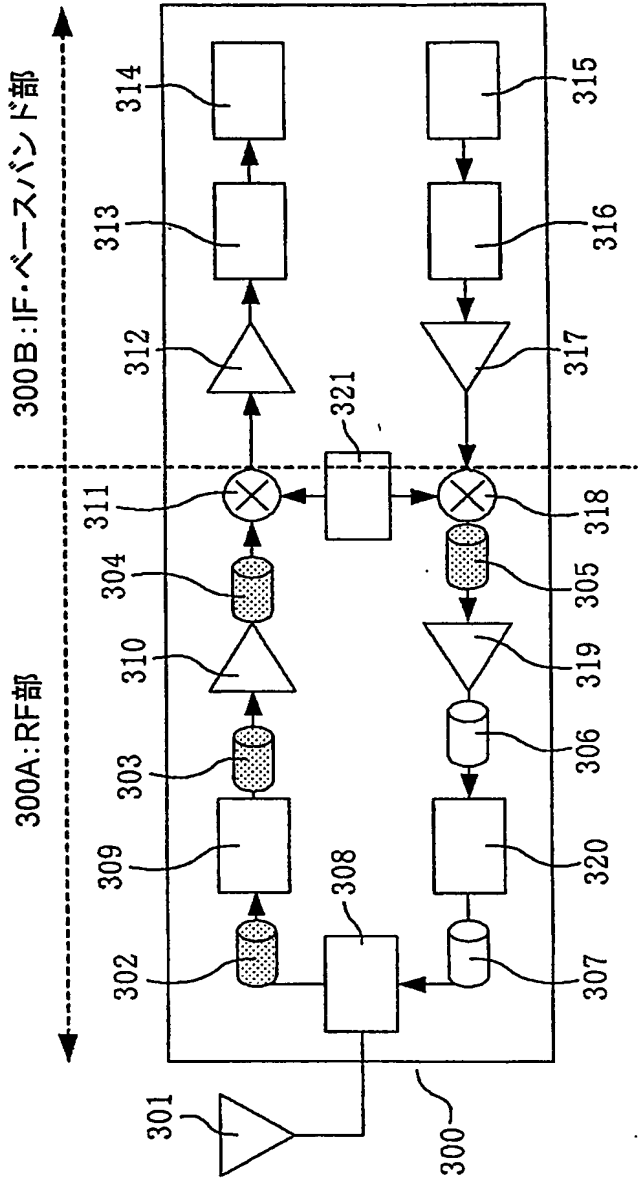


FIG. 8

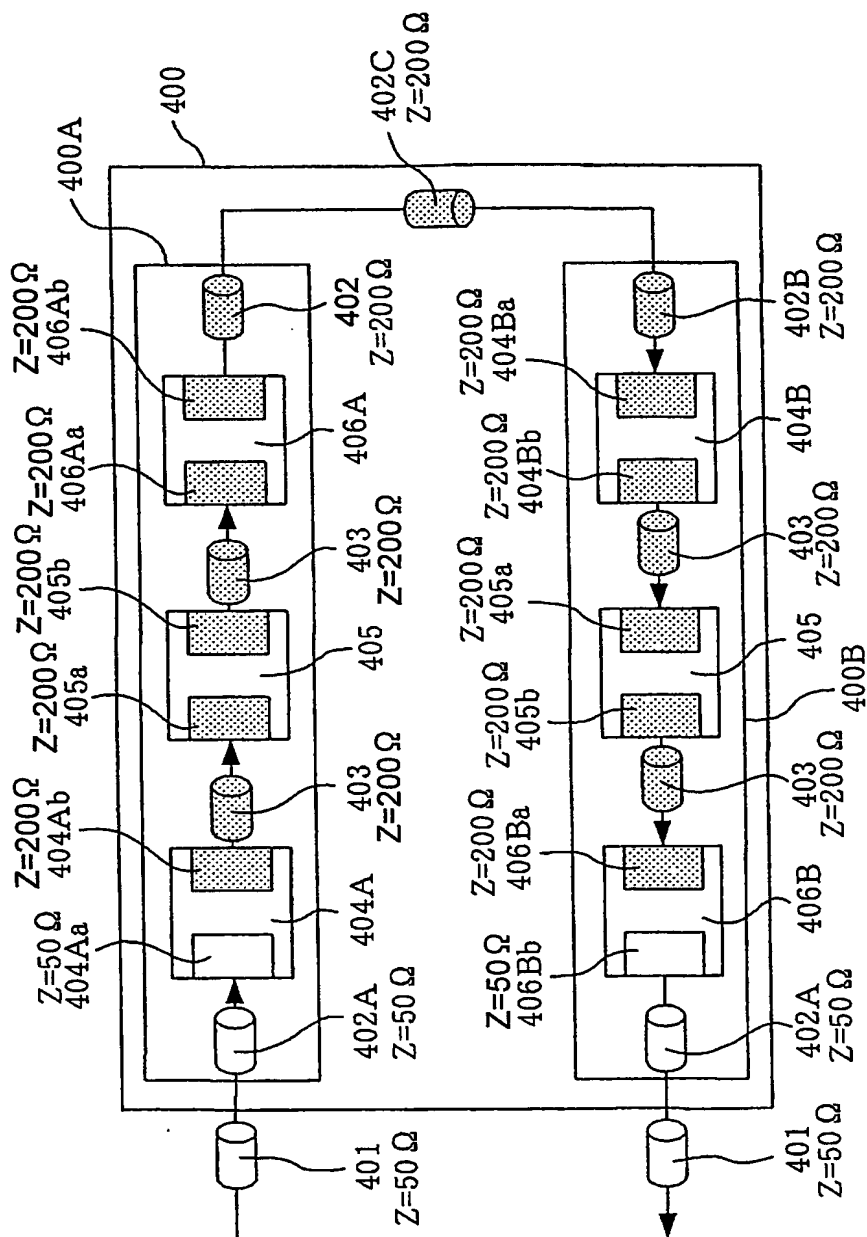
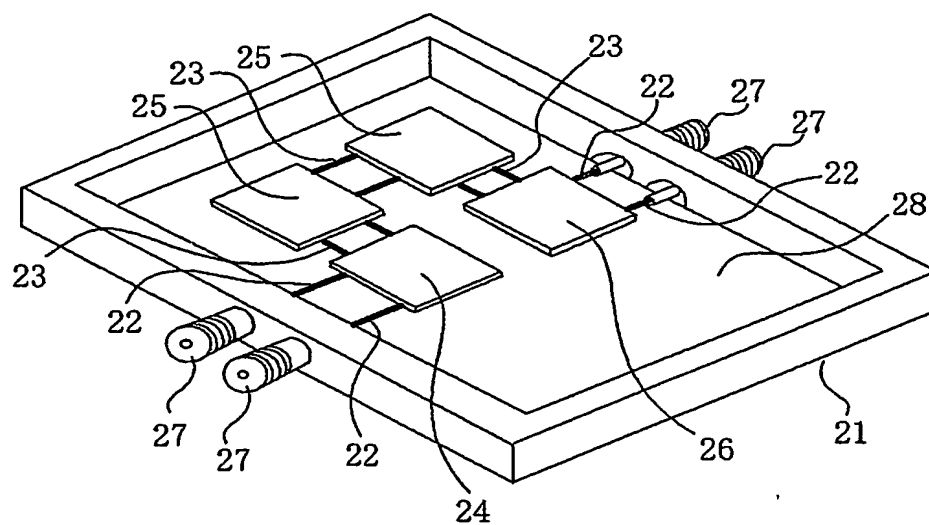
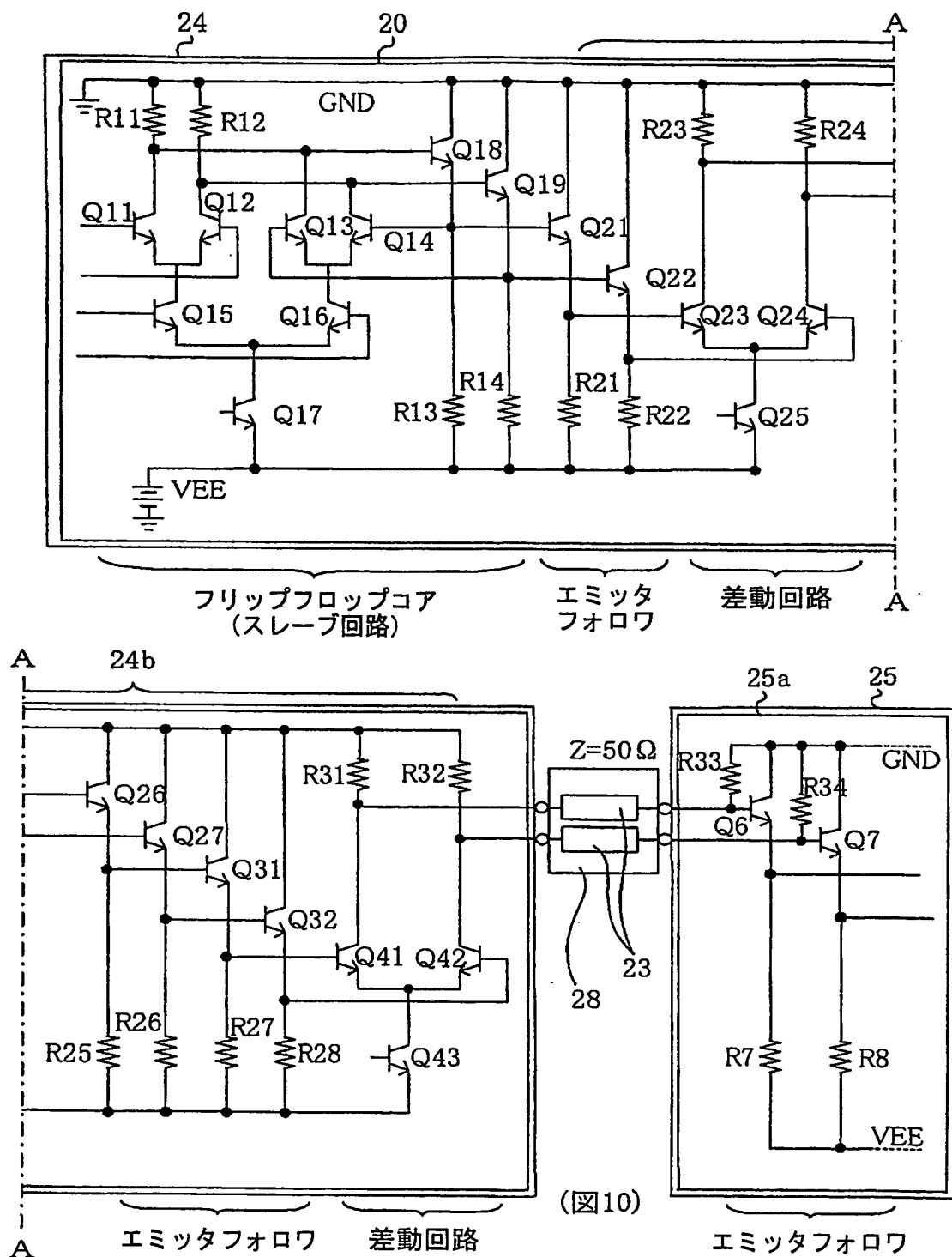


FIG. 9



9/9

FIG.10



$$R31=R32=R33=R34=Z=50\ \Omega$$

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12789

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H03F1/56, H03F3/19

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> H03F1/56, H03F3/19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-62844 B2 (NEC Corp.), 09 September, 1993 (09.09.93), (Family: none)	1-6, 13-15 7-12
Y	JP 10-84260 A (NEC Corp.), 31 March, 1998 (31.03.98), (Family: none)	7, 8
Y	JP 5-48350 A (NEC Corp.), 26 February, 1993 (26.02.93), (Family: none)	7, 8
Y	JP 2503913 B2 (NEC Corp.), 05 June, 1996 (05.06.96), (Family: none)	10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
06 January, 2004 (06.01.04)

Date of mailing of the international search report  
03 February, 2004 (03.02.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12789

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-297936 A (Murata Mfg. Co., Ltd.), 29 October, 1999 (29.10.99), (Family: none)	11
Y	JP 11-220336 A (NEC Corp.), 10 August, 1999 (10.08.99), & EP 0920122 A2 & CN 1219023 A & KR 99045609 A & US 6313706 A & US 2001/0043121 A1 & US 2001/0052821 A1 & US 2002/0005761 A1 & US 6388527 A & US 6476679 A & US 6501335 A	12

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H03F1/56 H03F3/19		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H03F1/56 H03F3/19		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 5-62844 B2 (日本電気株式会社) 1993.09.09 (ファミリーなし)	1-6, 13-15 7-12
Y	JP 10-84260 A (日本電気株式会社) 1998.03.31 (ファミリーなし)	7, 8
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 06.01.2004	国際調査報告の発送日 03.2.2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 佐藤 敬介 印	5W 9196
電話番号 03-3581-1101 内線 3574		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-48350 A (日本電気株式会社) 1993. 02. 26 (ファミリーなし)	7, 8
Y	JP 2503913 B2 (日本電気株式会社) 1996. 06. 05 (ファミリーなし)	10
Y	JP 11-297936 A (株式会社村田製作所) 1999. 10. 29 (ファミリーなし)	11
Y	JP 11-220336 A (日本電気株式会社) 1999. 08. 10 & EP 0920122 A2 & CN 1219023 A & KR 99045609 A & US 6313706 A & US 2001/0043121 A1 & US 2001/0052821 A1 & US 2002/0005761 A1 & US 6388527 A & US 6476679 A & US 6501335 A	12